

1. 一种方法，包括：

5 在确定被请求的数据和/或一个或多个指令是否存储在所述第一存储器中之
前或者同时，发出请求提示；

响应于所述请求提示，来访问第二存储器，以提取数据和/或一个或多个指令；

将从所述第二存储器取得的数据和/或一个或多个指令存储在缓冲器中；以及

10 如果所述被请求的数据和/或一个或多个指令不在所述第一存储器中，
则从所述缓冲器返回所述数据和/或（一个或多个）指令。

2. 如权利要求 1 所述的方法，包括响应于所述请求提示，而确定所述被请求的数据和/或一个或多个指令是否存储在写缓冲器中。

3. 如权利要求 1 所述的方法，包括在发出所述请求提示之前，确定所
15 述被请求的数据和/或一个或多个指令是否存储在第三存储器中，

其中所述发出包括，在所述被请求的数据和/或一个或多个指令不在所述第三存储器中时发出所述请求提示。

4. 如权利要求 1 所述的方法，其中，所述返回包括发出对所述被请求的数据和/或一个或多个指令的存储器提取请求。

20 5. 如权利要求 4 所述的方法，其中，所述返回包括响应于所述存储器提取请求，而确定所述被请求的数据和/或一个或多个指令是否在写缓冲器中。

6. 一种装置，包括：

第一存储器；

25 耦合到所述第一存储器的逻辑，用于在确定被请求的数据和/或一个或多个指令是否在所述第一存储器中之前或者同时发出请求提示，如果所述被请求的数据和/或一个或多个指令不在所述第一存储器中时，所述逻辑发出存储器提取请求；以及

耦合到所述逻辑并包括缓冲器的存储器控制器，所述存储器控制器接

收所述请求提示，并响应于所述请求提示而访问第二存储器来提取数据和/或一个或多个指令，并将所取得的数据和/或一个或多个指令存储在所述缓冲器中，所述存储器控制器响应于所述存储器提取请求，而将所述所取得的数据和/或一个或多个指令从所述缓冲器返回到所述逻辑。

5 7. 如权利要求 6 所述的装置，其中，所述第一存储器包括主高速缓冲存储器。

8. 如权利要求 6 所述的装置，其中，所述第一存储器包括辅助高速缓冲存储器。

9. 如权利要求 6 所述的装置，包括耦合到所述逻辑的第三存储器，所述逻辑用于确定所述被请求的数据和/或一个或多个指令是否在所述第三存储器中，并用于在所述被请求的数据和/或一个或多个指令不在所述第三存储器中时发出所述请求提示。

10. 如权利要求 6 所述的装置，其中，所述存储器控制器包括写缓冲器，用于存储将被写入所述第二存储器的数据和/或一个或多个指令，所述存储器控制器用于响应于所述请求提示，而确定所述被请求的数据和/或一个或多个指令是否存储在所述写缓冲器中。

11. 如权利要求 6 所述的装置，其中，所述存储器控制器包括写缓冲器，用于存储将被写入所述第二存储器的数据和/或一个或多个指令，所述存储器控制器用于响应于所述存储器提取请求，而确定所述被请求的数据和/或一个或多个指令是否存储在所述写缓冲器中。

12. 如权利要求 6 所述的装置，其中，所述逻辑包括用于发出所述请求提示的指令处理逻辑。

13. 如权利要求 6 所述的装置，其中，所述逻辑包括用于发出所述请求提示的主高速缓存控制逻辑。

25 14. 一种系统，包括：

主存储器；

高速缓冲存储器；

耦合到所述高速缓冲存储器的逻辑，用于请求数据和/或一个或多个指令，以及用于在确定所述被请求的数据和/或一个或多个指令是否在高速缓

冲存储器中之前或者同时发出请求提示，如果所述被请求的数据和/或一个或多个指令不在所述高速缓冲存储器中，则所述逻辑发出存储器提取请求；以及

5 存储器控制器，耦合到所述逻辑和所述主存储器并且包括缓冲器，所述存储器控制器接收所述请求提示，并响应于所述请求提示而访问所述主存储器来提取数据和/或一个或多个指令，并将所取得的数据和/或一个或多个指令存储在所述缓冲器中，所述存储器控制器响应于所述存储器提取请求，而将所述所取得的数据和/或一个或多个指令从所述缓冲器返回到所述逻辑。

10 15. 如权利要求 14 所述的系统，其中，所述高速缓冲存储器包括主高速缓冲存储器。

16. 如权利要求 14 所述的系统，其中，所述高速缓冲存储器包括辅助高速缓冲存储器。

15 17. 如权利要求 14 所述的系统，其中，所述高速缓冲存储器包括主高速缓冲存储器和辅助高速缓冲存储器，所述逻辑确定所述被请求的数据和/或一个或多个指令是否在所述主高速缓冲存储器中，并且如果所述被请求的数据和/或一个或多个指令不在所述主高速缓冲存储器中，则发出所述请求提示。

20 18. 如权利要求 14 所述的系统，其中，所述存储器控制器包括写缓冲器，用于存储将被写入所述主存储器的数据和/或一个或多个指令，所述存储器控制器响应于所述请求提示，而确定所述被请求的数据和/或一个或多个指令是否存储在所述写缓冲器中。

25 19. 如权利要求 14 所述的系统，其中，所述存储器控制器包括写缓冲器，用于存储将被写入所述主存储器的数据和/或一个或多个指令，所述存储器控制器响应于所述存储器提取请求，而确定所述被请求的数据和/或一个或多个指令是否存储在所述写缓冲器中。

20. 如权利要求 14 所述的系统，其中，所述逻辑包括用于发出所述请求提示的指令处理逻辑。

21. 如权利要求 14 所述的系统，其中，所述逻辑包括用于发出所述请

求提示的主高速缓存控制逻辑。

22. 如权利要求 14 所述的系统，其中，所述高速缓冲存储器、所述逻辑以及所述存储器控制器被集成到一起。

用提示缓冲器隐藏存储器访问等待时间

5 技术领域

本发明一般地涉及计算机系统领域。更具体地说，本发明涉及计算机系统的存储器访问领域。

背景技术

10 处理器一般以相对于外部存储器更快的时钟速度来执行指令，该外部存储器例如动态随机访问存储器（DRAM）。因此，由于处理器以相对较慢的时钟速度，从存储器中提取将被执行的指令以及在执行指令中将被处理的数据，所以在处理器执行指令时访问外部存储器会引入延迟。

一般的处理器可以通过以流水线方式处理指令，来帮助最小化这种存储器访问等待时间所引起的延迟，所述流水线从存储器提取指令、解码每
15 一个指令、执行指令并且结束指令。流水线的每一个阶段的操作一般在时间上会与其他阶段的操作重叠，以帮助隐藏在提取指令和用于指令执行的数据中的存储器访问等待时间。

通过确定这样的指令，其不考虑先前提取的一个或多个指令是否被执行
20 行就可被执行，一般的处理器还可以通过并行执行指令，即使两个或更多指令的执行在时间上覆盖，和/或通过乱序地执行指令，来帮助最小化由存储器访问等待时间引起的延迟。这样，处理器通过在等待例如提取用于其他指令的数据的同时继续执行指令，来帮助隐藏存储器访问等待时间。不管指令执行的顺序如何，处理器都顺序地结束每一条指令。

25 处理器还可以通过这样来帮助最小化存储器等待时间延迟，即一次管理相对更多指令的乱序执行，以帮助扩大从存储器提取指令和/或数据的窗口，而不引入很长的延迟。例如，处理器可以使用：更大的指令重排序缓冲器，以一次管理相对更多指令来用于乱序执行；更大的存储器顺序缓冲器，以一次管理来自存储器的相对更多的数据请求，来用于乱序数据提

取；和/或更大的存储器请求队列，以允许一次发出相对更多的存储器请求。

一般的处理器还可以通过使用一个或多个相对更大的内部高速缓冲存储器，来存储被频繁访问的指令和数据，以帮助最小化存储器访问等待时间延迟。因为这时处理器可以在内部访问这些指令和数据，所以处理器就帮助减少了对外部存储器的访问。

但是，使用更大的缓冲器、队列和/或高速缓冲存储器，会增加处理器的成本和尺寸。

10 附图说明

在附图的图中以示例而非限制的方式来说明本发明，附图中类似的标记指示相似的元件，其中：

图 1 图示了示例性计算机系统，该系统包括具有集成存储器控制器的处理器，集成存储器控制器包括提示缓冲器，用于帮助隐藏存储器访问等待时间；

图 2 图示了一个实施例中具有集成存储器控制器的处理器，集成存储器控制器包括提示缓冲器，用于帮助隐藏存储器访问等待时间；

图 3 由图 3A 和图 3B 组成，图示了一个实施例中使用包括提示缓冲器的存储器控制器，来执行存储器提取请求的流程图；

图 4 图示了一个实施例中将一个或多个写缓冲器条目刷新到主存储器的流程图；

图 5 图示了一个实施例中提示缓冲器的条目；以及

图 6 由图 6A 和图 6B 组成，图示了另一个实施例中使用包括提示缓冲器的存储器控制器，来执行存储器提取请求的流程图。

具体实施方式

下面的详细描述给出了根据本发明的的一个实施例或多个实施例，其用提示缓冲器来隐藏存储器访问等待时间。为了提供对本发明的充分理解，在下面的描述中给出了很多细节，例如具体的处理器体系结构、存储

器类型等。但是，很清楚本发明可以不用这些细节而实施。在其他情况下，为了不混淆本发明，没有详细地描述公知的功能块、接口等。

示例性计算机系统

图 1 图示了示例性计算机系统 100，其包括具有存储器控制器 112 的
5 处理器 110，存储器控制器 112 包括用于帮助隐藏存储器访问等待时间的提示缓冲器 114。虽然是在计算机系统 100 的上下文中描述本发明的，但是本发明可以在包括任何合适的一个或多个集成电路的任何合适的计算机系统中实现。

如图 1 所图示的，一个实施例的存储器控制器 112 与处理器 110 集成
10 在同一个芯片上。与处理器 110 集成的存储器控制器 112，帮助减少与存储器控制器 112 通信中的延迟。另一个实施例的存储器控制器 112 可以形成一个单独的集成电路芯片，该芯片或者与处理器 110 共用同一个封装，或者与处理器 110 分别封装。处理器 110 可以包括任何合适的处理器体系结构，在一个实施例中其包括由加州 Santa Clara 的 Intel®公司定义的
15 Intel® 32 位体系结构。

存储器控制器 112 控制处理器 110 对主存储器 120 的访问。主存储器
120 被耦合到存储器控制器 112，用于为例如计算机系统 100（包括为处理器 110）加载和存储数据和/或指令。主存储器 120 可以包括任何合适的存储器，例如动态随机访问存储器（DRAM）。主存储器 120 可以包括例如
20 同步 DRAM（SDRAM）、双倍数据速率 SDRAM（DDR SDRAM）或者 Rambus® DRAM（RDRAM）。一个实施例的处理器 110 以相对于存储器控制器 112 和主存储器 120 更快的时钟速度操作。

当处理器 110 从主存储器 120 提取将被执行的指令和/或在执行指令中被处理的数据时，一个实施例的存储器控制器 112 使用提示缓冲器 114 来
25 帮助隐藏处理器 110 的存储器访问等待时间。一个实施例的存储器控制器 112 接收对被处理器 110 请求的数据和/或一个或多个指令的请求提示，即使处理器 110 可能以后才使用或根本不使用所请求的数据和/或（一个或多个）指令，并且/或者即使处理器 110 可能需要或不需要所请求的来自主存储器 120 的数据和/或（一个或多个）指令。然后，存储器控制器 112 可以

响应于所接收的请求提示，在接收对数据和/或（一个或多个）指令的存储器提取请求之前，启动对主存储器 120 的访问，并将被请求的数据和/或（一个或多个）指令存储在提示缓冲器 114 中。例如当被请求的数据和/或（一个或多个）指令可能会被处理器 110 使用，并需要从主存储器 120 取
5 来时，就可向存储器控制器 112 发出存储器提取请求。

在存储器控制器 112 接收到存储器提取请求时，存储器控制器 112 可能已经访问主存储器 120 来提取了被请求的数据和/或（一个或多个）指令。那么存储器控制器 112 就可以将来自提示缓冲器 114 的被请求的数据和/或（一个或多个）指令，返回给处理器 110 使用。

10 由于与当存储器控制器 112 接收到存储器提取请求时访问主存储器 120 相比，从提示缓冲器 114 返回被请求的数据和/或（一个或多个）指令更快，所以通过在接收到对数据和/或（一个或多个）指令的存储器提取请求之前，投机性地访问主存储器 120 的数据和/或（一个或多个）指令，处理器 110 可以有效地隐藏与访问主存储器 120 相关联的等待时间。而且，
15 通过在主存储器 120 空闲时，根据请求提示来访问主存储器 120，处理器 110 可以帮助减少平均存储器访问等待时间。这样，处理器 110 就可以更加充分地使用访问主存储器 120 的带宽。

例如，一个实施例的存储器控制器 112 还控制对主存储器 120 的访问，该访问为图形控制器 130 和/或输入/输出（I/O）控制器 140 来存储和
20 提取数据和/或（一个或多个）指令。

图形控制器 130 被耦合到处理器 110，用于控制耦合到图形控制器 130 的合适的显示器 132 上的信息显示，显示器 132 例如为阴极射线管（CRT）或液晶显示器（LCD）。一个实施例的存储器控制器 112 通过加速图形端口（AGP）与图形控制器 130 接口。

25 I/O 控制器 140 被耦合到处理器 110，用于提供与耦合到 I/O 控制器 140 的一个或多个 I/O 设备的接口。一个实施例的 I/O 控制器 140 通过中心接口而与存储器控制器 112 接口。

一个实施例中，I/O 控制器 140 提供到一个或多个合适的集成驱动电子（IDE）驱动器 142 的接口、通过一个或多个通用串行总线（USB）端

口 144 到一个或多个合适的 USB 设备的接口、以及到音频编码器/译码器 146 和调制解调器 148 的接口, 其中, 存储数据和/或指令的集成驱动电子 (IDE) 驱动器 142, 例如是硬盘驱动器 (HDD) 或只读光盘 (CD ROM) 驱动器。一个实施例的 I/O 控制器 140 通过高级 I/O 控制器 150 还
5 提供到以下设备的接口: 键盘 151、鼠标 152、通过一个或多个并行端口 153 的例如打印机的一个或多个合适的设备、通过一个或多个串行端口 154 的一个或多个合适的设备、以及软盘驱动器 155。一个实施例的 I/O 控制器 140 还提供到以下设备的接口: 通过外围组件互连 (PCI) 总线上的一个或多个 PCI 插槽 162 而耦合到 I/O 控制器 140 的一个或多个合适的
10 PCI 设备、通过工业标准体系结构 (ISA) 桥接卡 164 而由 PCI 总线耦合到 I/O 控制器 140 的一个或多个合适的 ISA 设备。ISA 桥接卡 164 通过 ISA 总线上的一个或多个 ISA 插槽 166 而与一个或多个 ISA 设备接口。

I/O 控制器 140 还被耦合到固件控制器 170, 来提供到固件控制器 170 的接口。一个实施例的固件控制器 170 通过中心接口与 I/O 控制器 140 接
15 口。一个实施例的固件控制器 170 可以共享 I/O 控制器 140 与高级 I/O 控制器 150 之间的至少一部分接口。固件控制器 170 包括基本输入/输出系统 (BIOS) 存储器 172, 用于存储合适的系统和/或视频 BIOS 软件。BIOS 存储器 172 可以包括任何合适的非易失性存储器, 例如闪存。

尽管图示为仅有一个处理器 110, 但是另一个实施例的计算机系统
20 100 可以包括多个处理器, 例如两个、三个或更多。处理器 110 可以被耦合到公共总线上的一个或多个其他的处理器。这时, 每一个处理器可以共享存储器控制器 112, 以访问例如主存储器 120、图形控制器 130 和/或 I/O 控制器 140。

具有包含提示缓冲器的存储器控制器的处理器

25 如图 2 中所图示的, 一个实施例的处理器 110 包括存储器控制器 112、耦合到存储器控制器 112 的总线接口逻辑 210、耦合到总线接口逻辑 210 的辅助高速缓冲存储器 212、耦合到总线接口逻辑 210 的主高速缓存控制逻辑 220、耦合到主高速缓存控制逻辑 220 的主高速缓冲存储器 222、耦合到主高速缓存控制逻辑 220 的指令处理逻辑 230、以及耦合到指

令处理逻辑 230 的体系结构寄存器 240。

总线接口逻辑 210、辅助高速缓冲存储器 212、主高速缓存控制逻辑 220 和主高速缓冲存储器 222，形成二级高速缓冲存储器子系统，用于向指令处理逻辑 230 提供指令和/或数据。

- 5 总线接口逻辑 210 控制辅助高速缓冲存储器 212，来存储和提取用于指令处理逻辑 230 的指令和/或数据。一个实施例的总线接口逻辑 210，将通过存储器控制器 112 而从主存储器 120 取得的指令和/或数据，存储在辅助高速缓冲存储器 212 中，以由指令处理逻辑 230 来处理。一个实施例的总线接口逻辑 210，还将最近和/或频繁使用的指令和/或数据，存储在辅助
- 10 高速缓冲存储器 212 中，用于帮助使对主存储器 120 的访问最少。总线接口逻辑 210 可以包括任何合适的电路系统，而辅助高速缓冲存储器 212 可包括任何合适大小的任何合适的存储器。

- 主高速缓存控制逻辑 220 控制主高速缓冲存储器 222，以存储和提取用于指令处理逻辑 230 的指令和/或数据。一个实施例中，主高速缓冲存储器
- 15 器 222 可以包括专用的指令高速缓冲存储器部分和单独的专用数据高速缓冲存储器部分。一个实施例的主高速缓存控制逻辑 220，将通过总线接口逻辑 210 从辅助高速缓冲存储器 212 取得的指令和/或数据，或者通过总线接口逻辑 210 和存储器控制器 112 从主存储器 120 取得的指令和/或数据，存储在主高速缓冲存储器 222 中，用于由指令处理逻辑 230 处理。一个实
- 20 施例的主高速缓存控制逻辑 220，还将最近和/或频繁使用的指令和/或数据存储在主高速缓冲存储器 222 中，用于帮助使对主存储器 120 的访问最少。主高速缓存控制逻辑 220 可以包括任何合适的电路，而主高速缓冲存储器 222 可包括任何合适大小的任何合适的存储器。

- 一个实施例的主高速缓冲存储器 222 大小相对较小，并且通过主高速
- 25 缓存控制逻辑 220 而紧密地耦合到指令处理逻辑 230，以允许指令处理逻辑 230 相对更快地访问存储在主高速缓冲存储器 222 中的指令和/或数据。一个实施例的辅助高速缓冲存储器 212，在大小上比主高速缓冲存储器 222 大，以相对于主高速缓冲存储器 222 存储更多的指令和/或数据。一个实施例中，指令处理逻辑 230 从辅助高速缓冲存储器 212 访问指令和/或数

据所需的时间，比访问主高速缓冲存储器 222 的时间更长。总线接口逻辑 210、辅助高速缓冲存储器 212、主高速缓存控制逻辑 220 和主高速缓冲存储器 222，可以根据任何合适的高速缓存方案来存储用于指令处理逻辑 230 的指令和/或数据。

- 5 虽然处理器 110 已经被描述为包括总线接口逻辑 210、辅助高速缓冲存储器 212、主高速缓存控制逻辑 220 和主高速缓冲存储器 222，但是处理器 110 可以包括任何其他合适的存储器子系统，以加载和存储用于指令处理逻辑 230 的指令和数据。

- 10 指令处理逻辑 230 可以包括用于提取和处理指令和/或数据的任何合适的电路系统。如图 2 中所示，一个实施例的指令处理逻辑 230 包括指令流水线，该指令流水线包括提取/译码单元 232、重排序缓冲器 234、分派/执行单元 236 和结束单元 238。提取/译码单元 232 被耦合到主高速缓存控制逻辑 220。重排序缓冲器 234 被耦合到提取/译码单元 232、分派/执行单元 236 和结束单元 238。分派/执行单元 236 被耦合到提取/译码单元 232 和主
15 高速缓存控制逻辑 220。结束单元 238 被耦合到体系结构寄存器 240 和主高速缓存控制逻辑 220。

- 20 提取/译码单元 232 从主高速缓冲存储器 222、辅助高速缓冲存储器 212 和/或主存储器 120 提取指令。提取/译码单元 232 可以包括以任何合适的方式提取指令的任何合适的电路系统。一个实施例的提取/译码单元 232，根据由提取/译码单元 232 维护的指令指针来确定下一个将被指令处理逻辑 230 提取的指令，并通过主高速缓存控制逻辑 220、总线接口逻辑 210 和/或存储器控制器 112，从主高速缓冲存储器 222、辅助高速缓冲存储器 212 或主存储器 120 请求指令。例如，提取/译码单元 232 可以将下一个指令，确定为程序中的下一个顺序的指令、分支指令的预测或实际目的地、或者诸如异常处理例行程序的新例行程序的开始。
25

一个实施例的提取/译码单元 232，将每个指令译码为一个或多个微操作。一个实施例的提取/译码单元 232，将每个指令译码为一个或多个三元组微操作（triadic micro-operation）。三元组微操作包括操作码，并且可以包括多达两个逻辑源操作数和一个逻辑目的地操作数。

一个实施例的提取/译码单元 232, 对所提取指令的每一个微操作映射所有源并重命名所有目的地。一个实施例的提取/译码单元 232 将逻辑寄存器引用转变为物理寄存器引用, 并在这样做时使用重命名映射来形成物理目的地和源之间的依赖链路 (dependency link)。

- 5 提取/译码单元 232 在重排序缓冲器 234 中分配所提取指令的每一个微操作。当进入重排序缓冲器 234 中的微操作时, 一个实施例的提取/译码单元 232 为微操作添加状态信息, 以准备用于乱序执行。

重排序缓冲器 234 接收并存储来自提取/译码单元 232 的每一个微操作。重排序缓冲器 234 还存储已经由分派/执行单元 236 执行但还未被结束的微操作。重排序缓冲器 234 可以包括任何合适的电路系统, 在一个实施例中, 其包括内容可寻址存储器 (CAM) 阵列。

- 10 分派/执行单元 236 分派存储在重排序缓冲器 234 中的微操作以用于执行, 并执行被分派的微操作。分派/执行单元 236 根据这些微操作之间的数据依赖性以及执行资源的可用性, 来调度并执行存储在重排序缓冲器 234
15 中的微操作, 从而支持微操作的乱序执行。分派/执行单元 236 将执行微操作的任何结果与该微操作一起存储在重排序缓冲器 234 中。

- 分派/执行单元 236 可以包括任何合适的电路系统。一个实施例中, 分派/执行单元 236 包括预留站 (reservation station) 和多个执行单元, 多个执行单元例如一个或多个整数执行单元、一个或多个浮点执行单元以及存储器接口执行单元。预留站扫描重排序缓冲器 234 中微操作的状态, 以确定已准备就绪可被执行的微操作, 例如具有可用源操作数的微操作。预留站将每一个准备就绪的微操作分派到合适的可用执行单元, 来执行该微操作。每一个执行单元或者直接地或者通过预留站, 将执行微操作的任何结果返回给重排序缓冲器 234, 以将结果和相应的微操作存储在重排序缓冲器 234 中。

25 一个实施例的分派/执行单元 236, 通过使预留站将存储器加载微操作分派到耦合到主高速缓存控制逻辑 220 的存储器接口执行单元, 来执行一个或多个存储器加载微操作, 以通过主高速缓存控制逻辑 220、总线接口逻辑 210 和/或存储器控制器 112, 从主高速缓存存储器 222、辅助高速缓

冲存储器 212 或主存储器 120 请求数据。

结束单元 238 结束已执行的微操作。一个实施例的结束单元 238，扫描重排序缓冲器 234 中微操作的状态，从重排序缓冲器 234 中去除已执行的微操作，并将已执行微操作的结果提交给机器状态，即通过主高速缓存控制逻辑 220、总线接口逻辑 210 和存储器控制器 112 提交给体系结构寄存器 240 和主存储器 120。一个实施例的结束单元 238，根据其各个指令被提取/译码单元 232 提取和译码的顺序，来结束已执行的微操作。结束单元 238 可以包括以任何合适的方式来结束已执行的微操作的任何合适的电路系统。

10 虽然如图 2 中所示地，在指令处理逻辑 230 的上下文中描述了本发明，但是本发明可以使用任何其他合适的处理指令的处理器体系结构来实现。

例如，在另一个实施例中，提取/译码单元 232 可以将微操作分配到例如分派/执行单元 236 的预留站中，而不分配到重排序缓冲器 234 中。一旦分派并执行已分配的微操作之后，分派/执行单元 236 这时就可以立刻将所有结果存储在重排序缓冲器 234 中，以由结束单元 238 来结束。

另一个实施例的提取/译码单元 232 可以不将一个或多个被提取的指令译码为微操作，而是直接处理每一个指令来执行。

隐藏存储器访问等待时间

20 一个实施例的处理器 110 根据图 3 的流程图 300，使用存储器控制器 112 来帮助隐藏访问主存储器 120 中的等待时间。

存储器控制器 112 可以包括帮助处理器 110 隐藏存储器访问等待时间的任何合适的电路系统。如图 2 所示，一个实施例的存储器控制器 112 包括：耦合到总线接口逻辑 210、图形控制器 130 和 I/O 控制器 140 的存储器控制器接口逻辑 202；耦合到存储器控制器接口逻辑 202 和主存储器 120 的存储器接口逻辑 204；耦合到存储器控制器接口逻辑 202 的提示缓冲器 114；以及耦合到存储器控制器接口逻辑 202 的写缓冲器 206。

存储器控制器接口逻辑 202 和存储器接口逻辑 204 每个都可以包括任何合适的电路系统。因为存储器接口逻辑 204 将要访问主存储器 120，所

以存储器接口逻辑 204 的电路可能取决于例如由主存储器 120 使用的存储器类型。提示缓冲器 114 和写缓冲器 206 每个都可以包括任何合适的电路系统，在一个实施例中，每个都包括任何合适大小的内容可寻址存储器（CAM）阵列。

- 5 在图 3 的框 302 中，指令处理逻辑 230 请求数据和/或（一个或多个）指令。作为一个例子，提取/译码单元 232 可以请求指令。作为另一个例子，分派/执行单元 236 可以请求数据。一个实施例的指令处理逻辑 230，通过向主高速缓存控制逻辑 220 发出合适的存储器提取请求，来从主高速缓冲存储器 222 请求数据和/或（一个或多个）指令。例如，合适的存储器
10 提取请求包括但不限于可高速缓冲的存储器读请求、可高速缓冲的锁定事务（lock transaction）和不可高速缓冲的存储器读请求。

- 在框 304 中，主高速缓存控制逻辑 220 确定被请求的数据和/或（一个或多个）指令是否存储在主高速缓冲存储器 222 中。如果是这样，即如果主高速缓冲存储器 222 发信号通知高速缓存命中（cache hit），则在框 306
15 中主高速缓存控制逻辑 220 将被请求的数据和/或（一个或多个）指令，从主高速缓冲存储器 222 返回到指令处理逻辑 230。如果不是这样，即如果主高速缓冲存储器 222 发信号通知高速缓存失败（cache miss），则主高速缓存控制逻辑 220 向总线接口逻辑 210 发出存储器提取请求。

- 在框 308 中，向存储器控制器 112 发出请求提示。在一个实施例中，
20 主高速缓存控制逻辑 220 经过耦合到主高速缓存控制逻辑 220 和存储器控制器 112 的总线 224，向存储器控制器 112 发出请求提示。一个实施例的总线 224，基本上专用于传输请求提示，以帮助加快到存储器控制器 112 的请求传输。在另一个实施例中，总线接口逻辑 210 响应于从主高速缓存控制逻辑 220 接收到存储器提取请求，经过耦合到总线接口逻辑 210 和存
25 储器控制器 112 的总线 214，向存储器控制器 112 发出请求提示。一个实施例的总线接口逻辑 210，根据预定的优先级方案经过总线 214，和其他存储器请求和/或请求提示一起发出该请求提示。另一个实施例的总线接口逻辑 210，经过基本上专用于传输请求提示的总线 214 的一部分，来发出请求提示。

请求提示确定对存储器控制器 112 所请求的数据和/或（一个或多个）指令。一个实施例的请求提示，包括将该请求确定为请求提示的请求类型，以及被请求的数据和/或（一个或多个）指令所在的地址。一个实施例的请求提示，还可以包括步进（stride）。一个实施例的存储器控制器接口逻辑 202 接收请求提示，并将投机性优先级赋给该请求提示。

在框 310 中，总线接口逻辑 210 确定被请求的数据和/或（一个或多个）指令是否存储在辅助高速缓冲存储器 212 中。如果是这样，即如果辅助高速缓冲存储器 212 发信号通知高速缓存命中，则在框 312 中总线接口逻辑 210 将被请求的数据和/或（一个或多个）指令通过主高速缓存控制逻辑 220，从辅助高速缓冲存储器 212 返回给指令处理逻辑 230。一个实施例的主高速缓存控制逻辑 220，也可以可选择地将被请求的数据和/或（一个或多个）指令存储在主高速缓冲存储器 222 中。一个实施例的总线接口逻辑 210，可以可选择地在框 312 中通知存储器控制器 112 取消先前向存储器控制器 112 发出的请求提示，以避免不必要地访问主存储器 120。如果被请求的数据和/或（一个或多个）指令没有存储在辅助高速缓冲存储器 212 中，即如果辅助高速缓冲存储器 212 发信号通知高速缓存失败，则在框 314 中，一个实施例的总线接口逻辑 210 经过总线 214，通知存储器控制器 112 提高请求提示的优先级。另一个实施例中，总线接口逻辑 210 可以被耦合到总线 224，以经过总线 224 通知存储器控制器 112 取消请求提示或提高请求提示的优先级。

总线接口逻辑 210 通知存储器控制器 112 提高请求提示的优先级，以帮助加快存储器控制器 112 对请求提示的执行，因为存储器控制器 112 将要执行存储器提取请求。通知存储器控制器 112 提高请求提示的优先级是可选择的。一个实施例的存储器控制器接口逻辑 202，在框 314 中将请求提示的优先级从投机级提高到需要级。

在框 316 中，总线接口逻辑 210 经过总线 214 向存储器控制器 112 发出存储器提取请求。一个实施例的总线接口逻辑 210，根据预定的优先级方案经过总线 214，和其他存储器请求和/或请求提示一起发出该请求提示。

在框 308 中，在总线接口逻辑 210 确定被请求的数据和/或（一个或多个）指令是否存储在辅助高速缓冲存储器 212 中之前或者同时，主高速缓存控制逻辑 220 或总线接口逻辑 210 发出请求提示。这样，存储器控制器 112 有机会在接收框 316 的存储器提取请求之前，启动对主存储器 120 的访问，以提取被请求的数据和/或（一个或多个）指令，从而通过重叠以下两种等待时间来帮助隐藏存储器访问等待时间，即访问主存储器 120 时引起的等待时间，与例如在检查辅助高速缓冲存储器 212 以及向存储器控制器 112 发出存储器提取请求时引起的等待时间。

在框 318 中，响应于接收请求提示，存储器控制器接口逻辑 202 确定被请求的数据和/或（一个或多个）指令是否存储在提示缓冲器 114 中。如果是这样，即如果提示缓冲器 114 发信号通知命中，则在框 320 中存储器控制器 112 完成对请求提示的处理。一个实施例的存储器控制器接口逻辑 202，还没有将被请求的数据和/或（一个或多个）指令返回给请求提示的请求者。一个实施例的提示缓冲器 114，可能已经由于以前的请求提示而存储了被请求的数据和/或（一个或多个）指令。如果被请求的数据和/或（一个或多个）指令还没有存储在提示缓冲器 114 中，即如果提示缓冲器 114 发出信号通知失败，则存储器控制器接口逻辑 202 此时可以可选择地在提示缓冲器 114 中，为被请求的数据和/或（一个或多个）指令创建条目，并在框 322 中确定被请求的数据和/或（一个或多个）指令是否存储在写缓冲器 206 中。

写缓冲器 206 存储将被写入主存储器 120 的数据和/或（一个或多个）指令。例如，响应于从指令处理逻辑 230 接收存储器写请求，存储器控制器接口逻辑 202 将存储器写请求的数据和/或（一个或多个）指令写入写缓冲器 206。这样，存储器写请求被认为是由指令处理逻辑 230 完成的，而存储器控制器接口逻辑 202 可以继续为其他存储器请求来访问主存储器 120。然后，例如当访问主存储器 120 的请求已经变慢，或者当写缓冲器 206 将被刷新时，存储器控制器接口逻辑 202 可在以后访问主存储器 120 来执行存储器写请求。

在框 322 中，存储器控制器接口逻辑 202 确定被请求的数据和/或（一

个或多个)指令是否存储在写缓冲器 206 中,因为写缓冲器 206 可能正存储着没有被存储到主存储器 120 中的更新的数据和/或(一个或多个)指令。如果被请求的数据和/或(一个或多个)指令已经存储在写缓冲器 206 中,即如果写缓冲器 206 发信号通知命中,则在框 324 中存储器控制器接口逻辑 202 在提示缓冲器 114 中创建或更新用于被请求的数据和/或(一个或多个)指令的条目。提示缓冲器 114 中的条目可以被创建或更新,以用于存储在写缓冲器 206 中存储的被更新的数据和/或(一个或多个)指令的拷贝,或者用于存储被请求的数据和/或(一个或多个)指令存储在写缓冲器 206 中的指示。一个实施例的存储器控制器接口逻辑 202,还没有将被请求的数据和/或(一个或多个)指令返回给请求提示的请求者。

如果被请求的数据和/或(一个或多个)指令没有存储在写缓冲器 206 中,即如果写缓冲器 206 发信号通知失败,则这时存储器控制器接口逻辑 202 可以可选择地在提示缓冲器 114 中,为被请求的数据和/或(一个或多个)指令创建条目。

另一个实施例的存储器控制器接口逻辑 202,在例如存储器控制器接口逻辑 202 使提示缓冲器 114 中、用于先前的请求提示的、响应于存储器提取请求而曾经被返回的被请求的数据和/或(一个或多个)指令无效时,可以在框 318 中可选择地跳过对提示缓冲器 114 的检查。另一个实施例的存储器控制器接口逻辑 202,在例如存储器控制器 112 不包含写缓冲器 206 的情况下,可以在框 322 中可选择地跳过对写缓冲器 206 的检查。

如果被请求的数据和/或(一个或多个)指令没有存储在提示缓冲器 114 (如果被检查的话)或写缓冲器 206 (如果被检查的话)中,则在框 326 中,存储器控制器接口逻辑 202 根据预定的优先级方案访问主存储器 120,以提取被请求的数据和/或(一个或多个)指令。

因为存储器控制器接口逻辑 202 可以从例如指令处理逻辑 230、图形控制器 130 和/或 I/O 控制器 140 接收多个存储器请求和请求提示,所以一个实施例的存储器控制器接口逻辑 202 根据预定的优先级方案,在待解决的存储器请求和请求提示之间或之中仲裁,以访问主存储器 120。作为一个例子,存储器控制器接口逻辑 202 可以将来源于图形控制器 130 的存储

器提取请求，排序为优先于例如来源于指令处理逻辑 230 的请求提示和存储器提取请求。作为另一个例子，存储器控制器接口逻辑 202 可以将来源于指令处理逻辑 230 的存储器提取请求，排序为优先于来源于指令处理逻辑 230 的需要请求提示，并且可以将来源于指令处理逻辑 230 的需要请求提示，排序为优先于来源于指令处理逻辑 230 的投机性请求提示。通过将存储器提取请求排序为优先于请求提示，存储器控制器接口逻辑 202 通过在如果不这样主存储器 120 就将空闲时，才为请求提示访问主存储器 120，来帮助减少平均存储器访问等待时间。因此，存储器控制器接口逻辑 202 帮助分散对主存储器 120 的访问，并因此而更加充分地使用访问主存储器 120 的带宽。分散对主存储器 120 的访问还可以帮助最小化与共享主存储器 120 的任何其他设备之间的总线冲突。

当存储器控制器接口逻辑 202 确定，可以为请求提示来访问主存储器 120 以提取被请求的数据和/或（一个或多个）指令时，存储器控制器接口逻辑 202 向存储器接口逻辑 204 发出请求提示。存储器接口逻辑 204 根据请求提示访问主存储器 120，以提取被请求的数据和/或（一个或多个）指令。存储器接口逻辑 204 将所提取的数据和/或（一个或多个）指令返回给存储器控制器接口逻辑 202，并且存储器控制器接口逻辑 202 在框 328 中，在提示缓冲器 114 中创建或更新被请求的数据和/或（一个或多个）指令的条目，以存储从主存储器 120 取得的被请求的数据和/或（一个或多个）指令的拷贝。一个实施例的存储器控制器接口逻辑 202，还没有将被请求的数据和/或（一个或多个）指令返回给请求提示的请求者。

响应于接收在框 316 中发出的存储器提取请求，存储器控制器接口逻辑 202 在框 330 中确定被请求的数据和/或（一个或多个）指令是否存储在写缓冲器 206 中。一个实施例的存储器控制器接口逻辑 202，可以直接在框 330 中检查写缓冲器 206。一个实施例的存储器控制器接口逻辑 202，在框 330 中还可以检查提示缓冲器 114，其可指示被请求的数据和/或（一个或多个）指令是否存储在写缓冲器 206 中。如果被请求的数据和/或（一个或多个）指令存储在写缓冲器 206 中，则存储器控制器接口逻辑 202 在框 332 中通过总线接口逻辑 210 和主高速缓存控制逻辑 220，将被请求的

数据和/或（一个或多个）指令从写缓冲器 206 返回到指令处理逻辑 230。
一个实施例的总线接口逻辑 210，还可以可选择地将被请求的数据和/或（一个或多个）指令存储在辅助高速缓冲存储器 212 中。一个实施例的主高速缓存控制逻辑 220，也可以可选择地将被请求的数据和/或（一个或多个）指令存储在主高速缓冲存储器 222 中。一个实施例的存储器控制器接口逻辑 202 在框 332 中，还可以可选择地取消请求提示和/或使提示缓冲器 114 的任何相应条目无效。

如果被请求的数据和/或（一个或多个）指令没有存储在写缓冲器 206 中，即如果写缓冲器 206 发信号通知失败，则存储器控制器接口逻辑 202 在框 334 中确定被请求的数据和/或（一个或多个）指令是否存储在提示缓冲器 114 中。如果是这样，即如果提示缓冲器 114 发信号通知命中，则存储器控制器接口逻辑 202 在框 336 中通过总线接口逻辑 210 和主高速缓存控制逻辑 220，将被请求的数据和/或（一个或多个）指令从提示缓冲器 114 返回到指令处理逻辑 230。一个实施例的总线接口逻辑 210，还可以可选择地将被请求的数据和/或（一个或多个）指令存储在辅助高速缓冲存储器 212 中。一个实施例的主高速缓存控制逻辑 220，也可以可选择地将被请求的数据和/或（一个或多个）指令存储在主高速缓冲存储器 222 中。一个实施例的存储器控制器接口逻辑 202 在框 336 中，还可以可选择地使提示缓冲器 114 的任何相应条目无效。

如果被请求的数据和/或（一个或多个）指令没有存储在提示缓冲器 114 中，即如果提示缓冲器 114 发出信号通知失败，存储器控制器接口逻辑 202 在框 338 中根据预定的优先级方案访问主存储器 120，以提取被请求的数据和/或（一个或多个）指令。一个实施例的存储器控制器接口逻辑 202 在框 338 中，还可以可选择地取消相应的请求提示和/或使提示缓冲器 114 中的任何相应条目无效。

当存储器控制器接口逻辑 202 确定可以根据存储器提取请求来访问主存储器 120，以提取被请求的数据和/或（一个或多个）指令时，存储器控制器接口逻辑 202 向存储器接口逻辑 204 发出存储器提取请求。存储器接口逻辑 204 根据存储器提取请求访问主存储器 120，以提取被请求的数据

和/或（一个或多个）指令。存储器接口逻辑 204 将被提取的数据和/或（一个或多个）指令返回给存储器控制器接口逻辑 202，并且存储器控制器接口逻辑 202 在框 340 中通过总线接口逻辑 210 和主高速缓存控制逻辑 220，将被请求的数据和/或（一个或多个）指令从主存储器 120 返回到指令处理逻辑 230。一个实施例的存储器控制器接口逻辑 202，可以可选择地将被请求的数据和/或（一个或多个）指令存储在提示缓冲器 114 中。一个实施例的总线接口逻辑 210，还可以可选择地将被请求的数据和/或（一个或多个）指令存储在辅助高速缓冲存储器 212 中。一个实施例的主高速缓存控制逻辑 220，还可以可选择地将被请求的数据和/或（一个或多个）指令存储在主高速缓冲存储器 222 中。

在另一个实施例中，其中提示缓冲器 114 可以存储被请求的数据和/或（一个或多个）指令存储在写缓冲器 206 中的指示，该实施例中的存储器控制器接口逻辑 202 可以可选择地先检查提示缓冲器 114，然后，只有在提示缓冲器 114 中的相应条目指示被请求的数据和/或（一个或多个）指令存储在写缓冲器 206 中时，才检查写缓冲器 206。另一个实施例中，在例如存储器控制器 112 不包含写缓冲器 206 的情况下，或者在存储器控制器接口逻辑 202 每次在写缓冲器 206 中更新或存储相应的数据和/或（一个或多个）指令时，存储器控制器接口逻辑 202 都更新提示缓冲器 114 的情况下，存储器控制器接口逻辑 202 可以可选择地跳过对写缓冲器 206 的检查。

在一个实施例中，其中提示缓冲器 114 可以存储被请求的数据和/或（一个或多个）指令存储在写缓冲器 206 中的指示，该实施例的存储器控制器接口逻辑 202 根据图 4 中图示的流程图 400，来解决对写缓冲器 206 中的一个或多个条目的刷新。

在图 4 的框 402 中，存储器控制器接口逻辑 202 确定写缓冲器 206 中的一个或多个条目是否将被刷新到主存储器 120 中。存储器控制器接口逻辑 202 可以由于以下原因而确定写缓冲器 206 中的一个或多个条目将被刷新：例如因为写缓冲器 206 存储了至少预定数量的条目，因为对主存储器 120 的访问已经变慢，和/或因为在写缓冲器 206 中的数据和/或（一个或多

个)指令已经被更新,而对所述数据和/或(一个或多个)指令的存储器提取请求正在等待解决。一个实施例中,如果存储器控制器接口逻辑 202 确定写缓冲器 206 中的任何条目将被刷新,则该实施例中的存储器控制器接口逻辑 202 就确定写缓冲器 206 中的所有条目都将被刷新。

5 如果写缓冲器 206 中的一个或多个条目将被刷新,则存储器控制器接口逻辑 202 在框 404 中确定,提示缓冲器 114 是否具有与写缓冲器 206 中将被刷新的条目相对应的任何条目。如果是这样,则存储器控制器接口逻辑 202 用来自写缓冲器 206 的相应的被更新的数据和/或(一个或多个)指令,来更新提示缓冲器 114 中的每一个相应的条目。

10 无论提示缓冲器 114 是否具有与写缓冲器 206 中将被刷新的条目相对应的任何条目,存储器控制器接口逻辑 202 都用来自写缓冲器 206 中每一个将被刷新的条目的被更新的数据和/或(一个或多个)指令,来更新主存储器 120。

另一个实施例中,其中提示缓冲器 114 可以存储被请求的数据和/或
15 (一个或多个)指令存储在写缓冲器 206 中的指示,存储器控制器接口逻辑 202 通过以下来解决对写缓冲器 206 中一个或多个条目的刷新:将写缓冲器 206 中将被刷新的一个或多个条目写入主存储器 120,然后为提示缓冲器 114 中的相应条目发出请求提示,以访问主存储器 120 来提取被请求的数据和/或(一个或多个)指令。

20 图 5 图示了一个实施例的提示缓冲器 114 的条目 500。提示缓冲器 114 可以存储任何合适数量的条目。

条目 500 包括地址字段 502 和数据字段 504。条目 500 还包括多种控制字段,例如写缓冲器状态标记字段 506、请求提示状态标记字段 508、完成标记字段 510 和有效标记字段 512。

25 地址字段 502 用于存储被请求的数据和/或(一个或多个)指令所在的地址。数据字段 504 用于将以前从写缓冲器 206 或主存储器 120 提取的数据和/或(一个或多个)指令存储到地址字段 502 的地址。地址字段 502 和数据字段 504 每一个都可以具有任何合适的大小。

写缓冲器状态标记字段 506 指示,由对应于条目 500 的请求提示所请

求的数据和/或（一个或多个）指令是否存储在写缓冲器 206 中。一个实施例的存储器控制器接口逻辑 202 设置写缓冲器状态标记字段 506，以在存储器控制器接口逻辑 202 确定写缓冲器 206 中的被请求的数据和/或（一个或多个）指令时，指示写缓冲器命中。在例如存储器控制器 112 不包含写缓冲器 206 的情况下，或者在存储器控制器接口逻辑 202 每一次更新写缓冲器 206 之后都更新提示缓冲器 114 中相应的数据和/或（一个或多个）指令的情况下，可以不使用写缓冲器状态标记字段 506。一个实施例的写缓冲器状态标记字段 506 存储一位。

一个实施例的存储器控制器接口逻辑 202 检查写缓冲器状态标记字段 506，以在存储器提取请求得出条目命中时，确定条目 500 的被请求的数据和/或（一个或多个）指令是存储在数据字段 504 中还是存储在写缓冲器 206 中。

请求提示状态标记字段 508 指示对应于条目 500 的请求提示是否已经被存储器控制器接口逻辑 202 执行。一个实施例的存储器控制器接口逻辑 202 设置请求提示状态标记字段 508，以在提示缓冲器 114 中创建条目 500 时指示待解决。一个实施例的存储器控制器接口逻辑 202 设置请求提示状态标记字段 508，以在存储器控制器接口逻辑 202 将用于相应请求提示的被请求的数据和/或（一个或多个）指令存储在数据字段 504 中时，或者在其确定写缓冲器 206 中的被请求的数据和/或（一个或多个）指令时，来指示已完成。在例如存储器控制器接口逻辑 202 只在写缓冲器 206 中提取被请求的数据和/或（一个或多个）指令，或者确定被请求的数据和/或（一个或多个）指令之后，才在提示缓冲器 114 中创建条目的情况下，可以不使用请求提示状态标记字段 508。一个实施例的请求提示状态标记字段 508 存储一位。

一个实施例的存储器控制器接口逻辑 202 检查请求提示状态标记字段 508，以在存储器提取请求产生条目 500 命中的结果时，确定相应请求提示的被请求的数据和/或（一个或多个）指令已经存储在数据字段 504 中或者在写缓冲器 206 中被确定时。

完成标记字段 510 指示条目 500 的被请求的数据和/或（一个或多个）

指令是否响应于存储器提取请求而已经被返回。一个实施例的存储器控制器接口逻辑 202 设置完成标记字段 510, 以在存储器控制器接口逻辑 202 返回存储器提取请求的被请求的数据和/或(一个或多个)指令(这会产生对条目 500 的命中结果)时, 指示已完成。一个实施例的完成标记字段 510 存储一位。

一个实施例的存储器控制器接口逻辑 202 检查完成标记字段 510, 例如用来无效条目 500。

有效标记字段 512 指示提示缓冲器 114 中的条目 500 是有效条目还是无效条目。一个实施例的存储器控制器接口逻辑 202 设置有效标记字段 512, 以当在提示缓冲器 114 中创建条目 500 时指示有效, 而无论对应于请求提示的被请求的数据和/或(一个或多个)指令是否已经被提取或者在写缓冲器 206 中被确定。一个实施例的存储器控制器接口逻辑 202 设置有效标记字段 512, 以在例如相应的请求提示还没有提取被请求的数据和/或(一个或多个)指令并且已经被取消时, 和/或在被请求的数据和/或(一个或多个)指令已经因为存储器提取请求而被返回(这会产生对条目 500 的命中结果)时, 指示无效。一个实施例的存储器控制器接口逻辑 202 可以通过周期性地检查完成标记字段 510, 和/或在将在提示缓冲器 114 中创建新条目时, 尝试无效条目 500。

一个实施例的存储器控制器接口逻辑 202 检查有效标记字段 512, 以保证在存储器提取请求导致对条目 500 的命中结果时条目 500 是有效的。

因为存储器控制器接口逻辑 202 可以对于以下情况而在提示缓冲器 114 中存储一个或多个条目, 即存储器控制器 112 已经有一段预定的时间没有接收到所述条目的相应的存储器提取请求, 或者根本就不能接收所述条目的相应的存储器提取请求, 所以一个实施例的存储器控制器接口逻辑 202 可以将这种条目的被请求的数据和/或(一个或多个)指令返回到总线接口逻辑 210, 以将被请求的数据和/或(一个或多个)指令存储在辅助高速缓冲存储器 212 和/或主高速缓冲存储器 222 中。这样, 存储器控制器接口逻辑 202 可以在提示缓冲器 114 中继续创建新条目, 并且还可以根据提示缓冲器 114 中任何已经被排除的条目来请求被请求的数据和/或(一个或

多个) 指令。

在另一个实施例中, 图 1 和图 2 中的处理器 100 根据图 6 的流程图 600, 使用存储器控制器 112 来帮助隐藏在访问主存储器 120 中的等待时间。流程图 600 中的框 602、604、606、608、610、612、614、616、
5 618、620、622、624、626、628、630、632、634、636、638 和 640, 分别对应于图 3 的流程图 300 中的框 302、308、304、306、310、312、314、316、318、320、322、324、326、328、330、332、334、336、338 和 340。

在主高速缓冲存储器 222 失败之后, 在图 3 的框 308 中发出请求提示, 而流程图 600 中则不同, 在主高速缓存控制逻辑 220 于框 606 中确定
10 被请求的数据和/或(一个或多个) 指令是否存储在主高速缓冲存储器 222 中之前或者同时, 主高速缓存控制逻辑 220 就在框 604 中向存储器控制器 112 发出请求提示。这样, 存储器控制器 112 具有更长的窗口机会来启动对主存储器 120 的访问, 以在接收存储器提取请求之前提取被请求的数据
15 和/或(一个或多个) 指令。如果主高速缓冲存储器 222 发信号通知高速缓存命中, 则在框 608 中主高速缓存控制逻辑 220 将被请求的数据和/或(一个或多个) 指令从主高速缓冲存储器 222 返回给指令处理逻辑 230。一个实施例的主高速缓存控制逻辑 220, 在框 608 中可以可选择地通知存储器控制器 112, 来取消以前发给存储器控制器 112 的请求提示, 从而避免不
20 必要地访问主存储器 120。

一个实施例的指令处理逻辑 230, 在框 604 中可以向存储器控制器 112 发出请求提示。一个实施例的处理器 110 可以包括在指令处理逻辑 230 和存储器控制器 112 之间耦合的总线, 该总线基本上专用于传输请求提示, 以帮助加速到存储器控制器 112 的请求传输。另一个实施例中, 指
25 令处理逻辑 230 可以通过主高速缓存控制逻辑 220 和总线接口逻辑 210 发出请求提示。

一个实施例的处理器 110 可以通过向存储器控制器 112 发出预提取请求提示而实现预提取功能, 以帮助隐藏存储器访问等待时间。一个实施例的处理器 110, 可以发出合适的请求提示, 以在例如指令预提取、高速缓

存线分访问 (cache line split access) 以及具有统一步进的紧凑循环 (例如阵列初始化和存储器拷贝) 的情况下, 实现下一个高速缓存线预提取。一个实施例的处理器 110 还可以从例如微码或硬件步进分析器发出预提取请求提示。

5 因为处理器 110 通过使访问主存储器 120 中引起的等待时间与内部引起的其他等待时间重叠, 来帮助隐藏存储器访问等待时间, 并且可以通过分散对主存储器 120 的访问来帮助减少平均存储器访问等待时间, 所以处理器 110 可以用相对增大的吞吐量来处理指令, 而不必使用更大的缓冲器、队列和/或高速缓冲存储器。

10 虽然是在处理器 110 的上下文中描述的, 但是一个实施例的图 1 和图 2 的图形控制器 130 和/或 I/O 控制器 140, 可以与处理器 110 类似地来使用存储器控制器 112, 以帮助隐藏访问主存储器 120 中的等待时间。

 在上面的描述中, 已经参照其具体示例实施例描述了本发明。但是很清楚, 可以在不脱离由所附权利要求限定的更宽的精神和访问的情况下,
15 对本发明做出多种改进和改变。因此, 说明书和附图应该被看作是说明性的而不是限制性的。

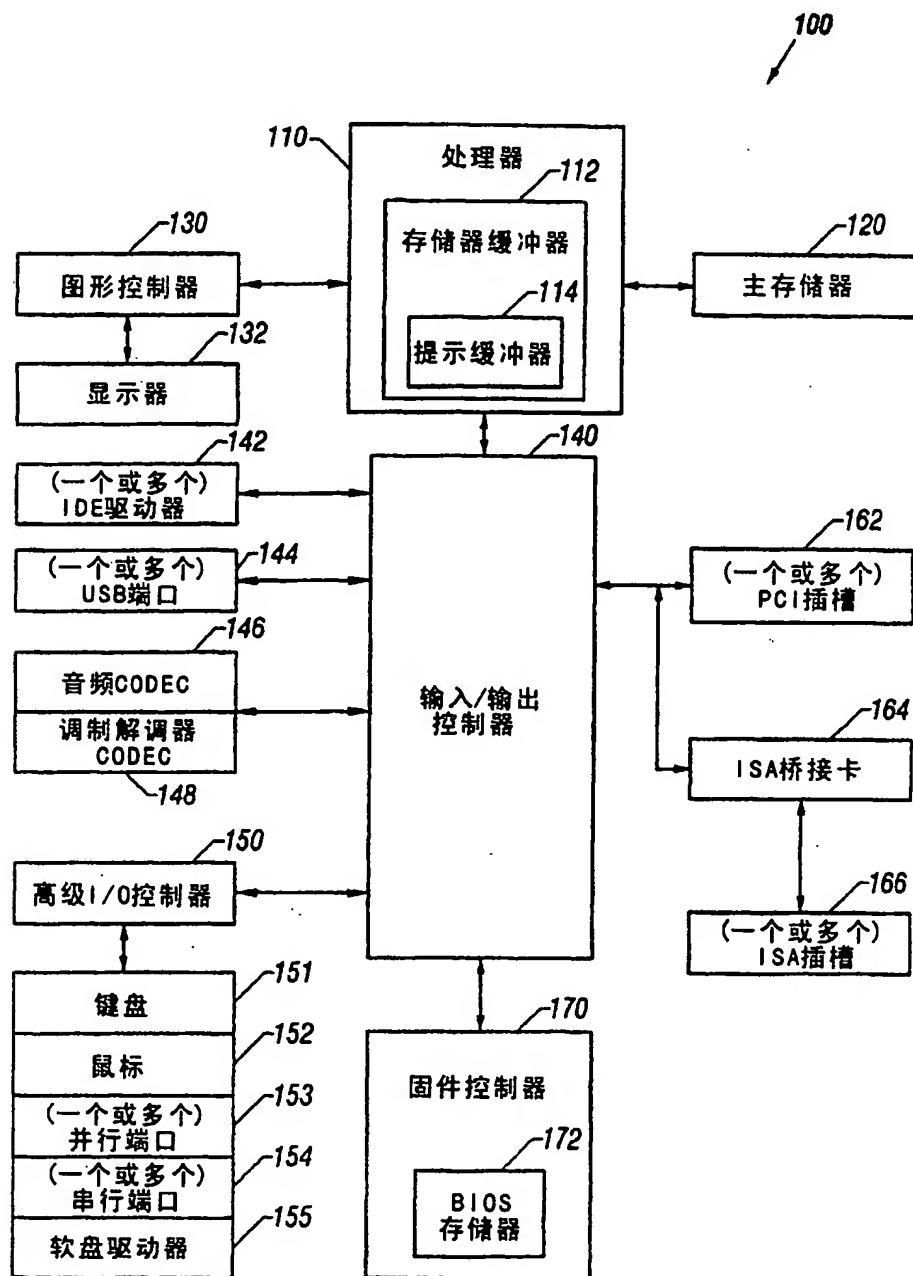


图1

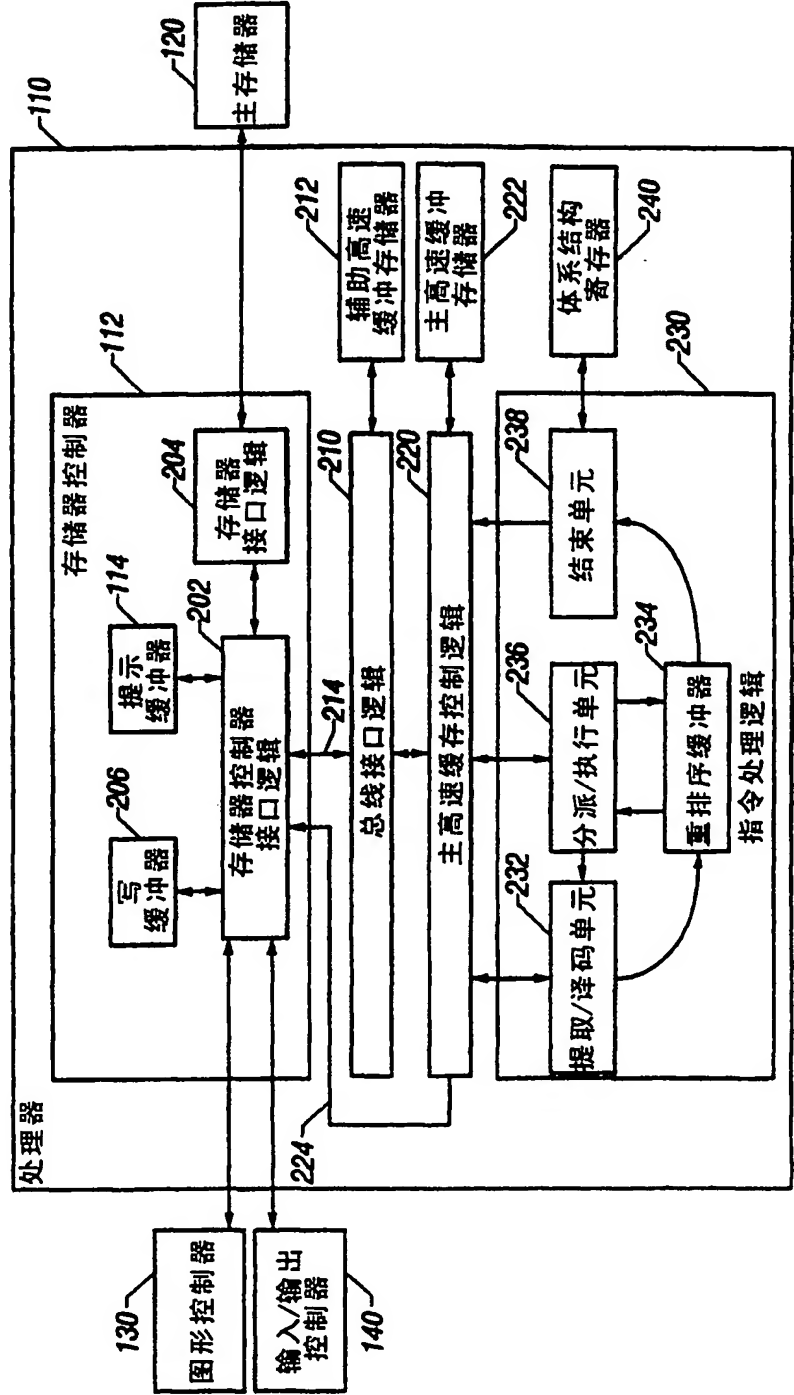


图2

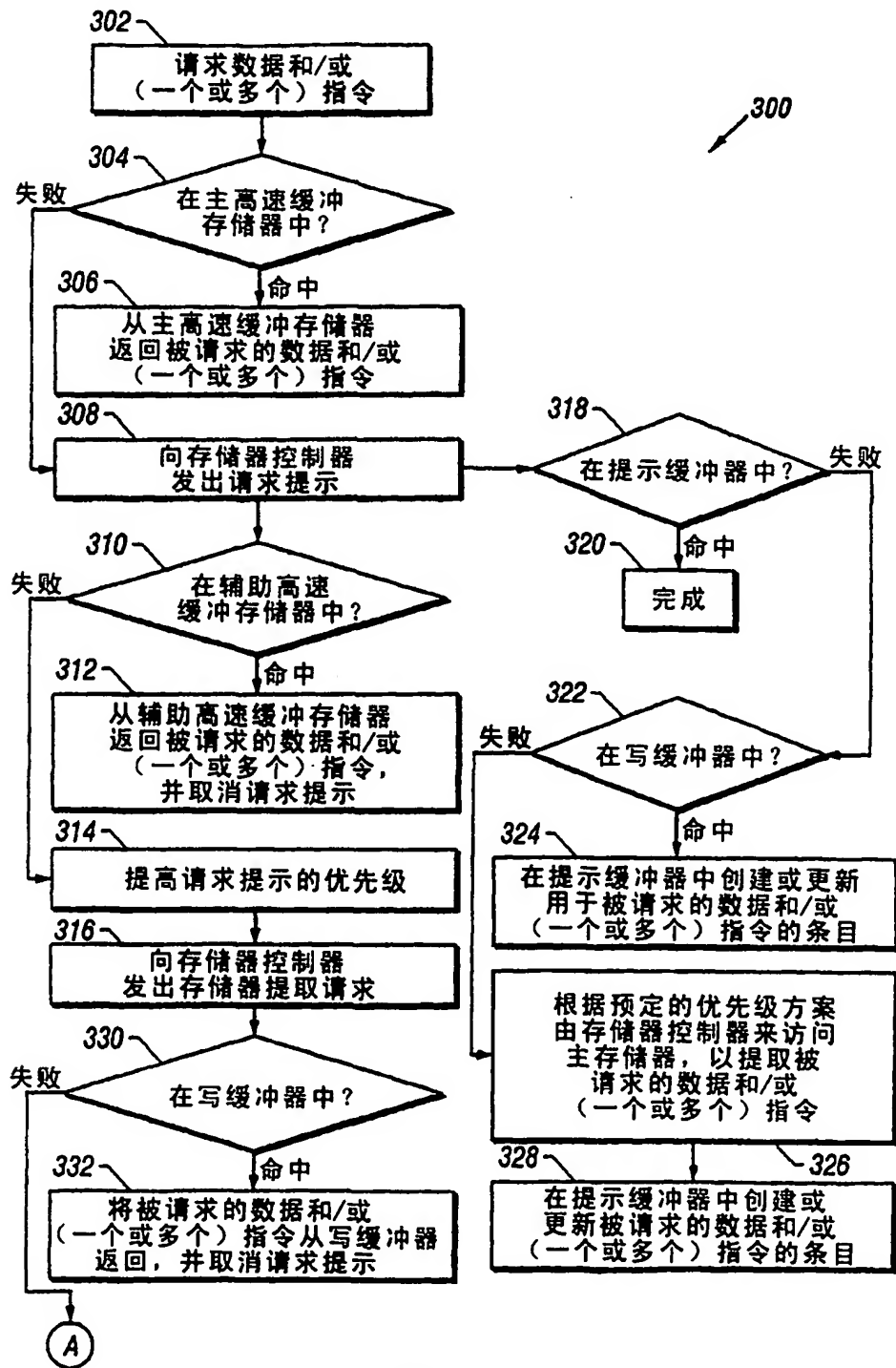


图3A

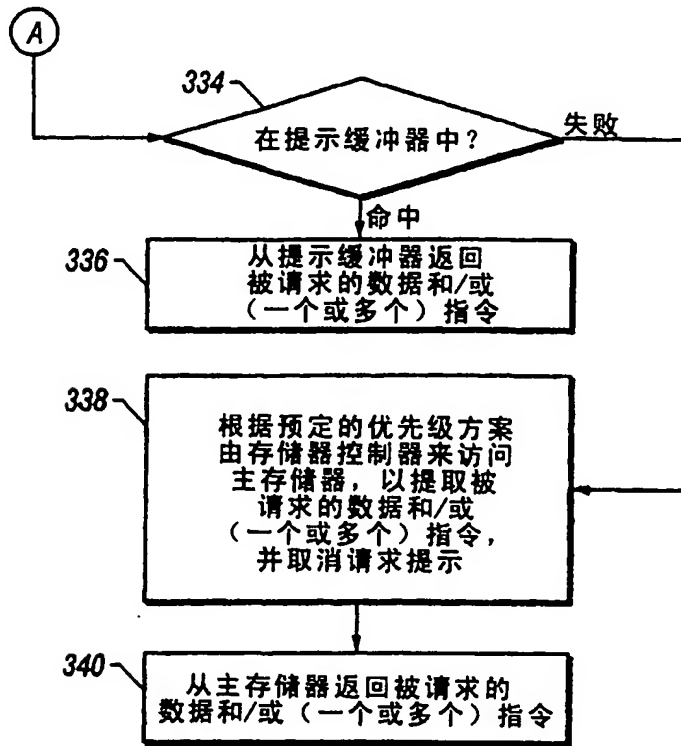


图3B

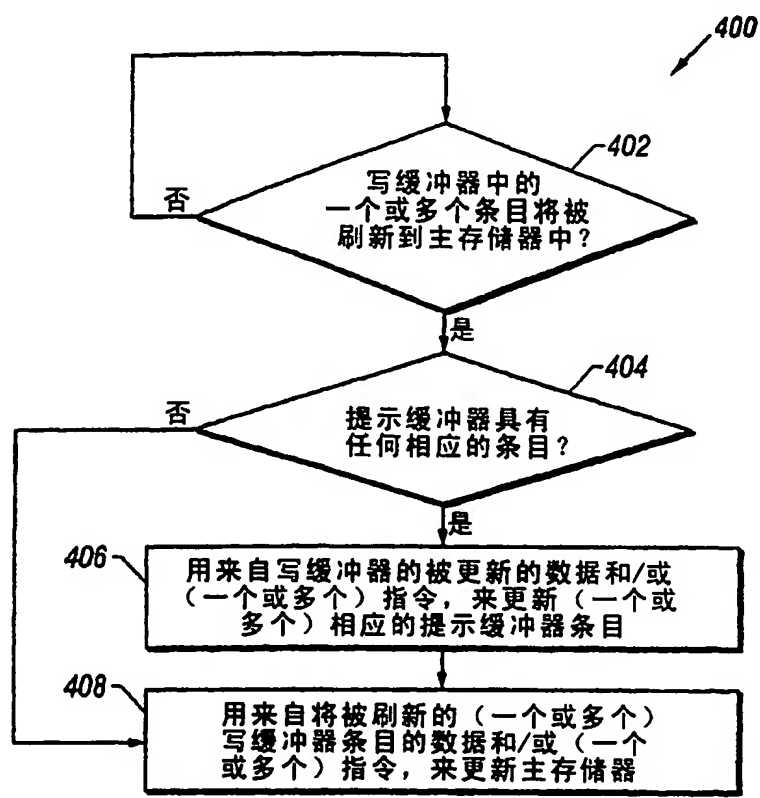


图4

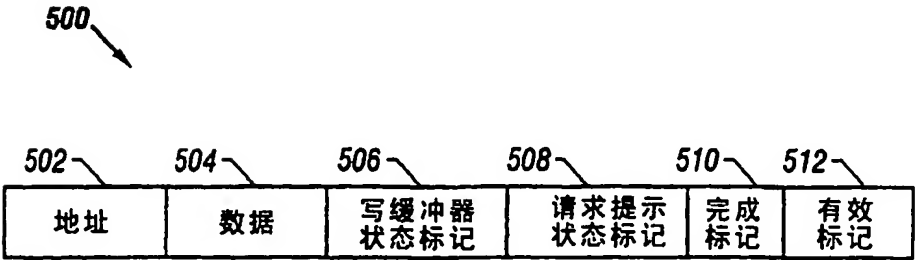


图5

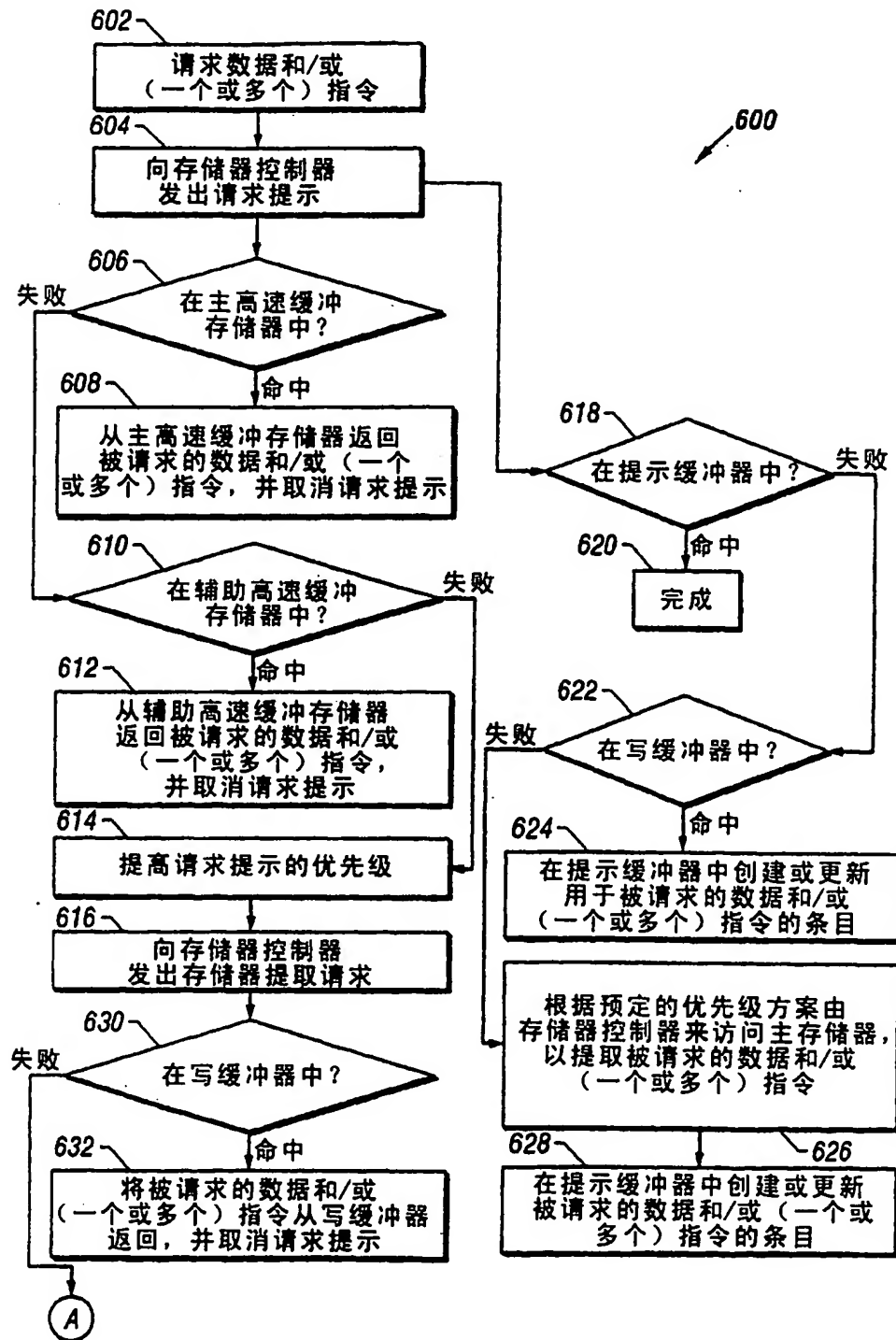


图6A

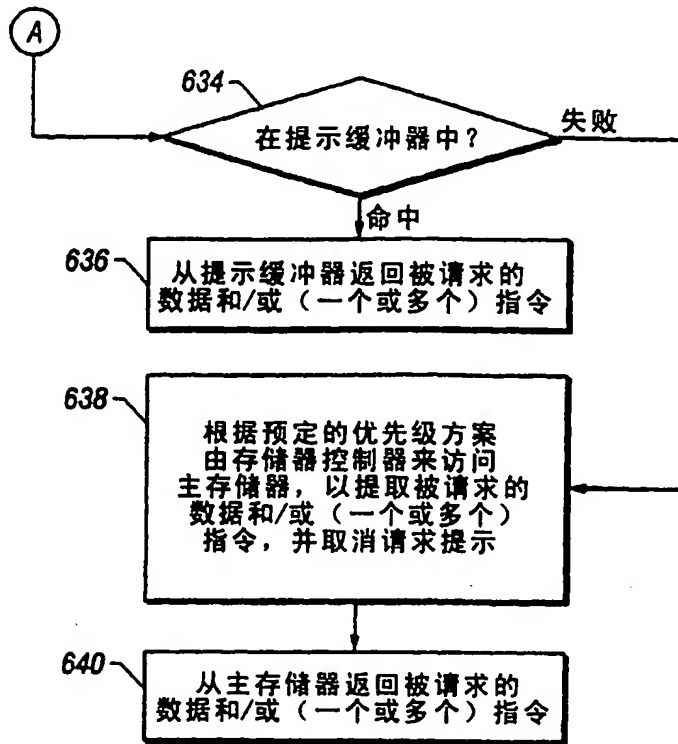


图6B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.